

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-249049

(43)Date of publication of application : 04.10.1990

(51)Int.Cl.

G06F 12/16

(21)Application number : 01-069811

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.03.1989

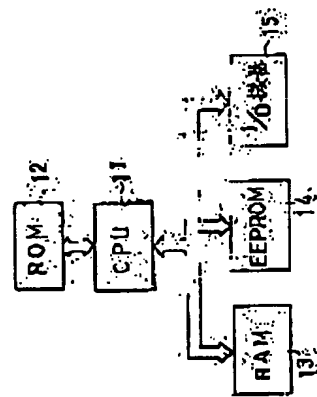
(72)Inventor : MIZUNO SATOSHI

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To easily and smoothly terminate and resume a job and to preserve data at the time of termination even if a battery is not incorporated by using EEPROM as a memory for saving data.

CONSTITUTION: A system bus is connected to EEPROM 14 having a capacity sufficient for saving various information in CPU 11 incorporated in a personal computer and all data in RAM 13. When a main switch is turned off at the termination time of the job, the content of CPU 11 and RAM 13 at that time is automatically saved to EEPROM 14. When the job is resumed, data of EEPROM 14 is automatically returned to CPU 11 and RAM 13 by turning on the main switch. Thus, the job after preceding termination can be continued and danger that data disappears owing to the interruption of the job for a long period is eliminated, whereby a high speed access is attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-249049

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月4日

G 06 F 12/16

3 4 0 Q

7737-5B

審査請求 未請求 請求項の数 4 (全7頁)

⑮ 発明の名称 情報処理装置

⑯ 特 願 平1-69811

⑰ 出 願 平1(1989)3月22日

⑱ 発 明 者 水 野 聡 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

(1) 少なくともCPUとRAMを有する情報処理装置において、作業終了時のCPU内のデータおよびRAMのデータを退避させるEEPROMを備えたことを特徴とする情報処理装置。

(2) EEPROMは装置に内蔵されている請求項1記載の情報処理装置。

(3) EEPROMは装着自在なカートリッジである請求項1記載の情報処理装置。

(4) EEPROMは、半導体基板上に浮遊ゲートと制御ゲートが積層されたFETMOS型メモリセルが隣接するもの同士でソース、ドレインを共用する形で複数個直列接続されてNANDセルを構成してマトリクス配列され、NANDセルの一端部のドレインがビット線に接続され、各メモリセルの制御ゲートがワード線に接続されてメモリセルアレイを構成している請求項1記載の情報

処理装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、コンピュータやワープロ等の情報処理装置に関する。

(従来技術)

コンピュータやワープロにおいて、作業を一旦終了したい場合、その時点での内部データを退避させるメモリが必要である。従来このような退避用メモリとして、一般に磁気ディスクやフロッピーディスク等の磁気メモリが用いられていた。しかし磁気メモリではアクセス時間が長い。これに対して最近、大容量化が進んでいるDRAMを電池を内蔵して退避用メモリとして用いるようにしたパソコンやワープロが作られている。しかし内蔵電池の寿命は限られており、長時間主スイッチをオフにしておくと電池寿命によりデータが消失する危険がある。従ってDRAMでは長時間のデータ退避は難しい。

(発明が解決しようとする課題)

以上のようにコンピュータやワープロなどにおいて、退避用メモリとして磁気メモリを用いた場合にはアクセス時間が長くなり、またDRAMを用いた場合には内蔵電池が必要であって電池寿命によりデータが消失する危険がある、といった問題があった。

本発明は、このような問題を解決した退避用メモリを備えた情報処理装置を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明に係る情報処理装置は、最小限必要な構成としてCPUとRAMを含み、更に作業終了時のこれらCPUおよびRAMのデータを退避させるメモリとして、電気的書替え可能な不揮発性半導体メモリ(EEPROM)を備えたことを特徴とする。

(作用)

本発明によれば、作業終了時、主スイッチを

- 3 -

部の各種I/O機器15とのデータのやり取りを行う。ROM12は通常内蔵であるが、外部メモリであってもよい。システムバスには、パソコンに内蔵されているCPU11内の各種情報(レジスタ、プログラムカウンタ、PSWなど)およびRAM13の全データを退避させるに十分な容量を持つEEPROM14が接続されている。EEPROM14はこの実施例ではNANDセル型EEPROMである。

第6図は、この実施例に用いるNANDセル型EEPROMの構成を示すブロック図である。外部制御信号端子として、チップ・イネーブル端子 \overline{CE} 、アウトプット・イネーブル端子 \overline{OE} およびライト・イネーブル端子 \overline{WE} を有し、18本のアドレス信号端子 $A_0 \sim A_{17}$ 、8本のデータ入出力端子 $I/O_0 \sim I/O_7$ を有し、電源端子 V_{cc} および V_{ss} を有する。メモリセルアレイ1はこの実施例では、後述するように4個のメモリセルをまとめてNAND型に構成した4Mビットの容量を有する。メモリセルアレイ1のビット線 $BL_1 \sim$

- 5 -

オフにすることにより、その時点でのCPUおよびRAMの内容を自動的にEEPROMに退避させ、作業再開時は主スイッチを入れることにより自動的にEEPROMのデータをCPUおよびRAMに戻して、前回終了時以降の作業を続行することができる。しかも、EEPROMは電源がなくてもデータを保持することができるから、DRAMを退避用として用いた場合と異なり、長時間の作業中断でデータが消失するという危険がなく、また高速アクセスができる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図は、本発明をパソコン(またはワープロ)に適用した実施例のシステム構成を示す。基本構成は、CPU11、RAM13およびROM12からなる。ROM12にはCPU11を制御するプログラムが書き込まれている。CPU11はこの制御プログラムに従ってRAM13との間でデータの授受を行い、必要な演算処理をし、外

- 4 -

BL_m ($m=2048$)は、センスアンプ/データラッチ回路5に接続されている。選択ゲート線 $SG1n$ 、 $SG2n$ およびワード線 $WL1n \sim WL4n$ ($n=512$)は、ロウ・デコード3に接続されている。アドレス信号は、アドレス・バッファ2を介してロウ・デコード3およびカラム・デコード4に入力され、これにより番地選択がなされる。読出し時、ビット線 $BL_1 \sim BL_m$ に出力されたデータは、センスアンプ/データラッチ回路5で増幅、ラッチされ、出力バッファ6を介して入出力端子 $I/O_0 \sim I/O_7$ から外部に出力される。データ書込み時は、入出力端子 $I/O_0 \sim I/O_7$ から入力されたデータが入力バッファ7を介し、センスアンプ/データラッチ回路5に取り込まれた後、選択番地のメモリセルに書込まれる。8は外部制御信号から内部制御信号を生成する制御論理回路である。

第7図は、メモリセルアレイ1の構成を示す等価回路である。メモリセル $M1j$ は、チャネル領域全面に薄いゲート絶縁膜を介して浮遊ゲートと制

- 6 -

御ゲートが積層形成されたFETMOSタイプである。例えばnチャネルの場合、制御ゲートに正の高電圧を印加して浮遊ゲートの電子をF-Nトンネリングにより基板に放出させることによりしきい値を負方向に移動させる動作をデータ消去（または書込み）に対応させ、制御ゲートを“L”レベルに保ってドレインに正の高電圧を印加してやはりF-Nトンネリングにより浮遊ゲートに電子を注入してしきい値を正方向に移動させる動作をデータ書込み（または消去）に対応させる。データ書込みおよび消去に用いる高電圧は、第6図のロウ・デコード3、カラム・デコード4内にある昇圧回路により生成される。これらのメモリセルは、そのソース、ドレインを隣接するもの同士で共用する形で4個直列接続されて一つのブロックをなす、いわゆるNANDセルを構成している。NANDセルの一端は選択ゲートQs1を介してビット線BLに接続され、他端は選択ゲートQs2を介してソース線Vsに接続されている。メモリセルは図示のようにマトリクス配列され、ロウ方向

- 7 -

ビット線とのコンタクト数が各メモリセル毎にビット線に接続する場合に比べて大幅に少なくなり、従って極めて高密度に集積化できるという利点がある。

次に第1図のパソコンでの作業終了時および再開時の動作を説明する。

第2図は、作業終了時のシステム内動作を示すフローチャートである。作業終了時、主スイッチをオフにすると、CPU11はこれを検出し(P1)、ROM12に書かれた制御プログラムに従って自動的にCPU11内のデータをEEPROM14に書き込み(P2)、更にRAM13内のデータをEEPROM14に書込む(P3)。そして電源がオフになる(P4)。

第3図は、作業再開時のシステム内動作を示すフローチャートである。主スイッチがオンになると電源がオンになり、CPU11はこれらを検出し(S1)、ROM12に書かれた制御プログラムに従ってEEPROM14に退避させておいたCPU11内のデータおよびRAM13内のデー

- 9 -

のメモリセルの制御ゲートはワード線WLに共通接続されている。

第8図は、読出し時のタイミングチャートである。チップ・イネーブル端子CE、アウトプット・イネーブル端子OEを“L”レベルにし、ライト・イネーブル端子WEを“H”レベルとしてアドレスを変化させることにより、8個のメモリセル・データがセンスアンプ/データラッチ回路5を介して入出力線I/O。～I/O₇に得られる。

第9図は、書込み時のタイミングチャートである。チップ・イネーブル端子CEを“L”レベル、アウトプット・イネーブル端子OEを“H”レベルとし、アドレス信号に同期してライト・イネーブル端子WEをトグルさせることにより、入出力線I/O。～I/O₇から入力されたデータが入力バッファ7を介してセンスアンプ/データラッチ回路5にラッチされ、順次選択番地に書込みがなされる。

このようなNANDセル型EEPROMは、複数のメモリセルをまとめてビット線に接続するため、

- 8 -

タをそれぞれ、CPU11およびRAM13に戻す(S2, S3)。これによりシステムはズイッチオフの直前の状態に復帰し、以後通常の作業を行うことができる。

この実施例によれば、退避させたデータを電源なしで保存することができる。従って、DRAMを用いてデータ退避させる場合のような危険はなくなる。しかも、磁気メモリに比べて高速のアクセスが可能である。

上記実施例では、退避用EEPROMをシステム内蔵としたが、これをカートリッジ（或いはカード）形式で外付けとしてもよい。

第4図はそのような実施例のパソコン外観を示す。本体21は先の実施例と同様にCPU、RAM、ROMを内蔵する。本体21にはまたこの実施例では入力部としてのキーボード22およびディスプレイ23が一体的に形成されている。退避用のEEPROMカートリッジ24は、本体21とは別に設けられ、本体21に必要なに応じて装着できるようになっている。

- 10 -

EEPROMカートリッジ24は、例えば第5図に示すように、保護ケース25内にEEPROM26を内蔵し、入出力端子部27を設けて構成される。

システムの動作は先の実施例と同様である。すなわち作業終了時、スイッチオフによって必要なデータはEEPROMカートリッジ24に書込まれる。作業再開時は、スイッチオンに先立ってEEPROMカートリッジ24を本体21にセットする。そしてスイッチをオンにすると、本体21はEEPROMカートリッジ24の内容を読み込んで作業終了時の状態にセットアップされる。

この実施例によっても先の実施例と同様の効果が得られる。またEEPROMをカートリッジ形式にすれば、このEEPROMに退避させたデータを他の装置にも利用することができる。

〔発明の効果〕

以上述べたように本発明によれば、データ退避用のメモリとしてEEPROMを用いることにより、作業の終了、再開を簡便かつスムーズに行う

— 11 —

めのタイミング図である。

11…CPU、12…ROM、13…RAM、
14…EEPROM、15…I/O機器、21…
パソコン本体、22…キーボード、23…ディス
プレイ、24…EEPROMカートリッジ。

ことができ、また電池を内蔵しなくてもその終了時のデータを保存することができる情報処理装置が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例のパソコンを示すブロック図、

第2図はその作業終了時の動作を示すフローチャート、

第3図は同じく作業再開時の動作を示すフローチャート、

第4図は他の実施例のパソコンを示す外観図、

第5図はそのEEPROMカートリッジを示す図、

第6図は実施例に用いたNANDセル型EEPROMの構成を示すブロック図、

第7図はそのメモリセルアレイを示す等価回路図、

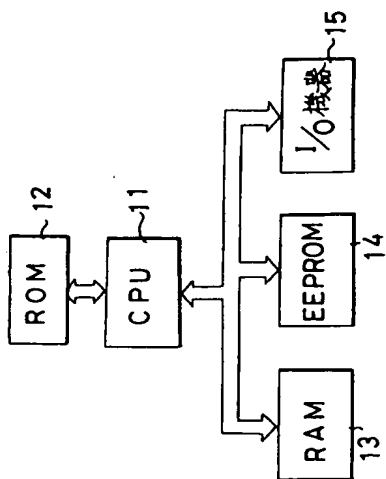
第8図はそのデータ読出し動作を説明するためのタイミング図、

第9図は同じくデータ書込み動作を説明するた

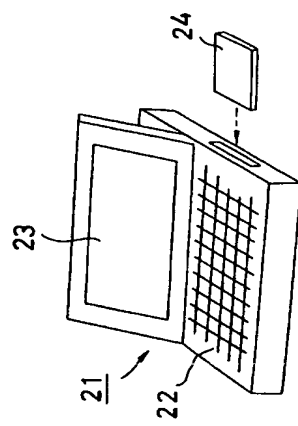
— 12 —

出願人代理人 弁理士 鈴江武彦

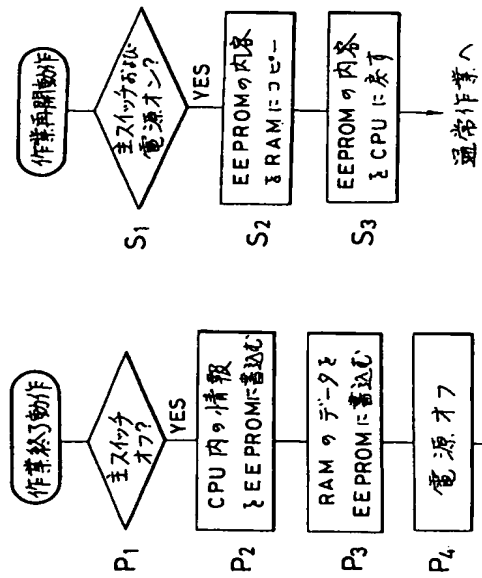
— 13 —



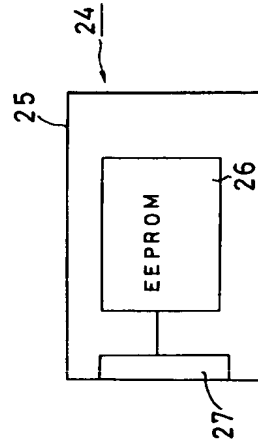
第 1 図



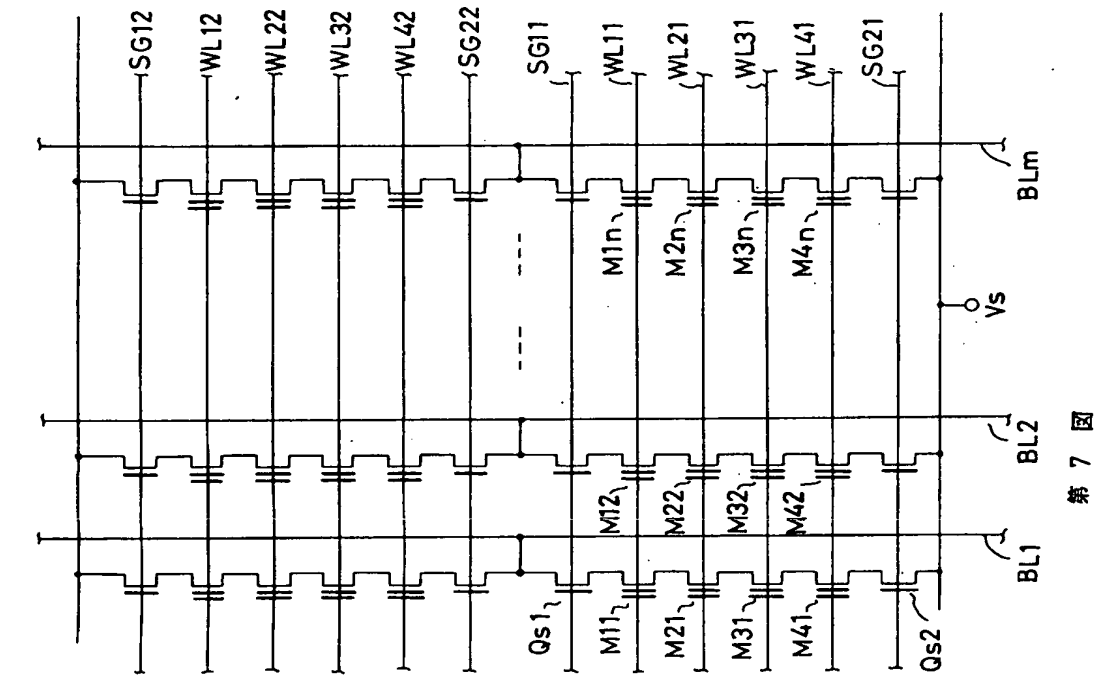
第 4 図



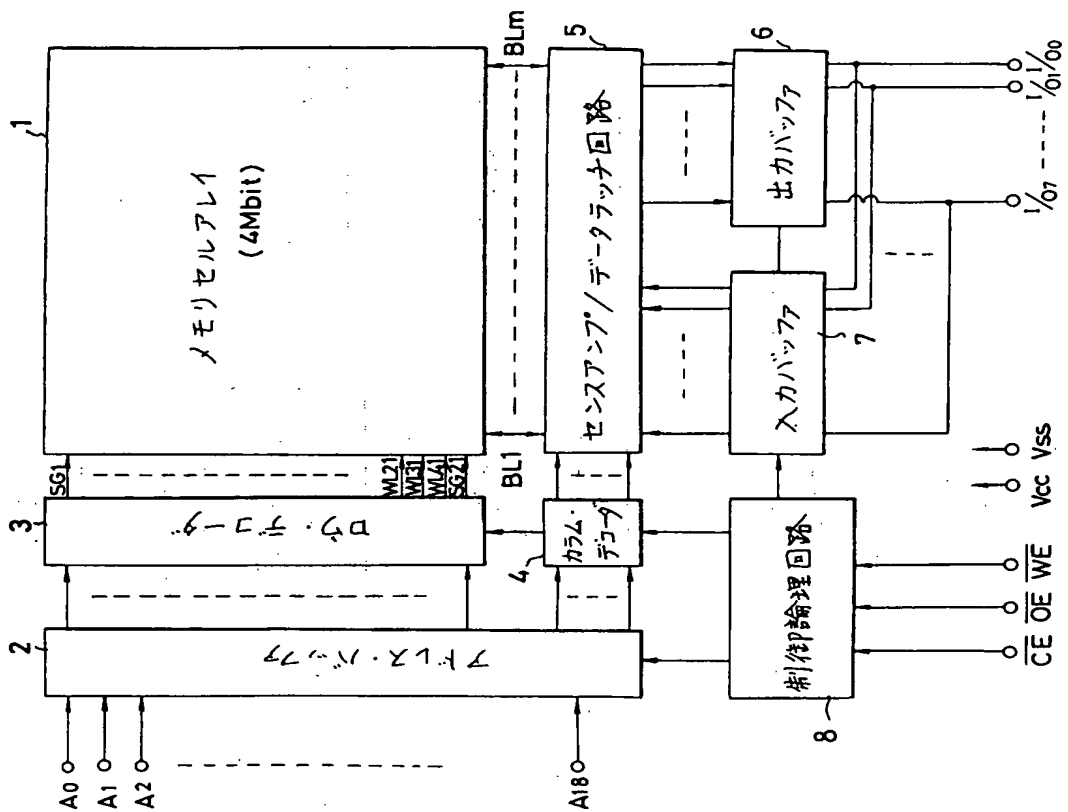
第 3 図



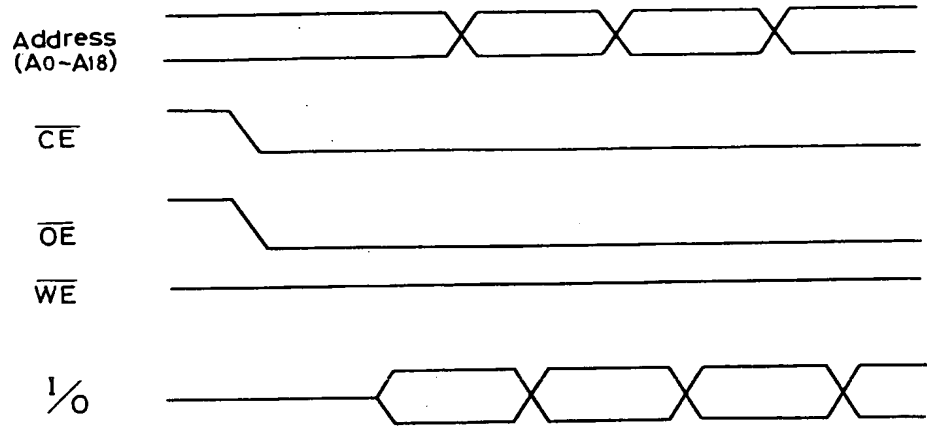
第 5 図



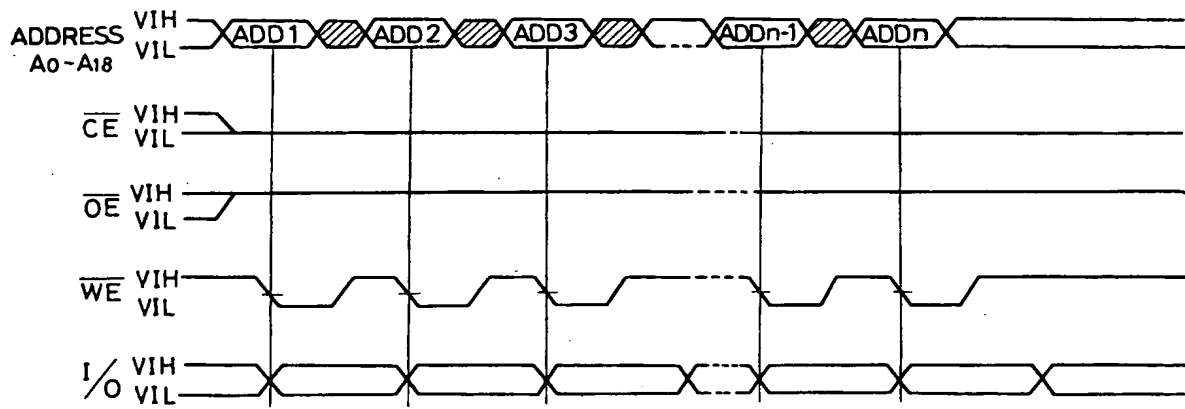
第 7 図



第 6 図



第 8 図



第 9 図